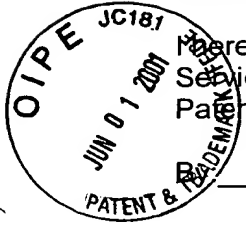


Docket No.: GR 00 P 1696

43



I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

*Margus Noll*

Date: May 30, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : Burkhard Becker et al  
Applic. No. : 09/829,330  
Filed : April 9, 2001  
Title : Device And Method For Data Transfer Between Two Processors

**CLAIM FOR PRIORITY**

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 17 362.4, filed April 7, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

*Margus Noll*

For Applicants

Date: May 30, 2001

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/sc



# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 100 17 362.4

**Anmeldetag:** 7. April 2000

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Einrichtung und Verfahren zur Datenübergabe zwischen zwei Recheneinheiten

**IPC:** G 06 F 13/38

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 4. April 2001  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Ebert

## Beschreibung

Einrichtung und Verfahren zur Datenübergabe zwischen zwei Recheneinheiten

5

Die Erfindung betrifft eine Einrichtung und ein Verfahren zur bidirektionalen Übergabe von Daten zwischen einer ersten und einer zweiten Recheneinheit.

- 10 In der digitalen Schaltungstechnik wird zur Datenübergabe zwischen zwei Rechen- oder Funktionseinheiten eine Schnittstelle eingesetzt. Eine Schnittstelle umfaßt üblicherweise einen Mikroprozessor, welcher als Adreß-Generator dient und ein Programm zum Auslesen eines Speicherbereichs z.B. der
- 15 ersten Recheneinheit in einen Datenzwischenspeicher der Schnittstelle und ein Programm zum Schreiben der zwischengespeicherten Daten in einen Speicherbereich der zweiten Recheneinheit ausführt. Mit parallelen Schnittstellen können höhere Datenübertragungsraten als mit seriellen Schnittstellen erreicht werden.
- 20

- Wesentlich höhere Datenübertragungsgeschwindigkeiten als mit einer herkömmlichen Schnittstelle lassen sich mit einem DMA- (Direct Memory Access-) Kanal erreichen. Bei einem DMA-Kanal wird statt des Mikroprozessors ein Zähler als Adreß-Generator eingesetzt. Zur Initialisierung wird das Adreßregister mit der Startadresse des auszulesenden Speicherbereichs geladen und dem Byte-Zählregister wird die Anzahl der zu übertragenden Bytes mitgeteilt. Im Steuerregister des DMA-Kanals wird
- 25 festgelegt, ob die Adressen aufwärts oder abwärts gezählt werden sollen und ob der Speicher, auf den zugegriffen wird, beschrieben oder ausgelesen werden soll. Die Datenübertragung kann blockweise durchgeführt werden und erfolgt ohne Abarbeitung eines Programms auf der Basis des Zähltakts. Zur Übertragung eines Datenworts von dem ersten Speicherbereich in
- 30 den zweiten Speicherbereich werden zwei Zählakte (ein Zähltakt für das Auslesen eines Datenworts aus dem ersten Spei-
- 35

cherbereich in den Zwischenspeicher der Schnittstelle und ein Zähltakt für das Schreiben des zwischengespeicherten Datenworts in den zweiten Speicherbereich) benötigt.

- 5 Wenn die eine Recheneinheit eine bestimmte Rechenroutine erst starten kann, wenn von der anderen Recheneinheit ein bestimmtes Zwischenergebnis vorliegt, und andersherum, ist neben dem Gesichtspunkt der maximalen Datenübertragungsrate der Schnittstelle auch der Gesichtspunkt einer möglichst reibungslosen gegenseitigen Ablaufsteuerung der Recheneinheiten zu beachten. Auch zu diesem Zweck wird üblicherweise ein Mikroprozessor eingesetzt, der unter Abarbeitung eines geeigneten Programms die Recheneinheiten aktiviert bzw. in einen Halte-Zustand versetzt.

15

Der Erfindung liegt die Aufgabe zugrunde, eine Einrichtung und ein Verfahren zur bidirektionalen Übergabe von Daten zwischen einer ersten und einer zweiten Recheneinheit anzugeben, die bzw. das einen schnellen bidirektionalen Datentransfer zwischen und eine flexible und verzögerungsarme Ablaufkoordination von zwei Recheneinheiten ermöglicht.

20

Zur Lösung der Aufgabenstellung sind die Merkmale der unabhängigen Ansprüche vorgesehen.

25

Demnach ist zum einen durch die Verwendung eines DMA-Kanals für einen schnellstmöglichen Datentransfer zwischen den beiden Recheneinheiten gesorgt. Zum anderen ermöglichen die beiden Steuerinformationsspeicher auf einfache Weise eine effiziente und zeitsparende gegenseitige Prozeßsteuerung der beiden Recheneinheiten, und zwar dadurch, daß die Zugriffe beider Recheneinheiten auf die Eingabe- und Ausgabe-Speicher in Abhängigkeit von dem Inhalt der Eingabe- und Ausgabe-Steuerinformationsspeicher koordiniert werden.

30

35

Dadurch, daß der Schreibzugriff der ersten Recheneinheit und der Lesezugriff der zweiten Recheneinheit auf den Eingabe-

Speicher in Abhängigkeit von in dem Eingabe-  
Steuerinformationsspeicher abgelegter Steuerinformation gere-  
gelt wird, läßt sich sowohl verhindern, daß ein Speicherblock  
des Eingabe-Speichers von der ersten Recheneinheit mit neuen  
5 Daten überschrieben wird, bevor er von der zweiten Rechenein-  
heit ausgelesen wurde, als auch, daß ein Speicherblock des  
Eingabe-Speichers von der zweiten Recheneinheit zum zweiten  
Mal ausgelesen wird, ohne daß zwischenzeitlich von der ersten  
Recheneinheit stammende neue Daten in diesem Speicherblock  
10 abgespeichert wurden. Durch die Eliminierung dieser beiden  
Fälle (Überschreiben ungelesener Daten und wiederholtes Aus-  
lesen identischer Daten) wird ein reibungsloser Ablauf des  
Datentransports von der ersten Recheneinheit zu der zweiten  
Recheneinheit sichergestellt.

15

Die Prozeßsteuerung in entgegengesetzter Datentransferrich-  
tung erfolgt analog auf der Basis der in dem Ausgabe-Steuer-  
informationsspeicher abgelegten Steuerinformation. Durch die  
erfindungsgemäße Maßnahme kann verhindert werden, daß zur  
20 Ausgabe in einem Speicherblock des Ausgabe-Speichers abgeleg-  
te Daten vor der Weitergabe an die erste Recheneinheit unge-  
lesen überschrieben werden und daß die erste Recheneinheit  
wiederholt Speicherblöcke des Ausgabe-Speichers liest, bei  
denen sich der Dateninhalt nicht geändert hat.

25

Im Ergebnis wird eine schnelle und datenverlustfreie Kommuni-  
kation zwischen den beiden Recheneinheiten erreicht, selbst  
dann, wenn in einer oder beiden Recheneinheiten unvorherseh-  
bare Schwankungen der Datenverarbeitungsgeschwindigkeit auf-  
30 treten.

Vorzugsweise erfolgt die Steuerung des Schreibzugriffs der  
ersten Recheneinheit derart, daß ein Speicherblock des Eingabe-  
Speichers nur dann beschrieben werden kann, wenn sich die  
35 binäre Steuerinformation zu diesem Speicherblock in einem  
ersten Zustand (z.B. 0) befindet. Nach dem Schreiben der Da-  
ten in den Speicherblock des Eingabe-Speichers wird die zuge-

hörige binäre Steuerinformation in den zweiten Zustand (z.B. 1) gesetzt. Vorzugsweise ist ein Lesezugriff der zweiten Recheneinheit auf einen Speicherblock des Eingabe-Speichers nur erlaubt, sofern die binäre Steuerinformation zu diesem Speicherblock in dem zweiten Zustand (1) vorliegt.

Die Schreib- und Lesezugriffe auf den Ausgabe-Speicher können durch Setzen bzw. Rücksetzen der binären Steuerinformationen in dem Ausgabe-Steuerinformationsspeicher in analoger Weise geregelt werden.

Eine besonders bevorzugte Ausgestaltung der Erfindung kennzeichnet sich dadurch, daß die erste Recheneinheit ein digitaler Signalprozessor (DSP) und die zweite Recheneinheit eine Hardware-Logikschaltung sind. Ein solcher Aufbau ermöglicht die Auslagerung von zeitaufwendigen Berechnungsprozeduren aus dem programmgesteuerten Datenverarbeitungsablauf des Signalprozessors in die vergleichsweise schnellere Hardware-Logikschaltung. Dabei schafft die erfindungsgemäße Datenübergabeeinrichtung die Voraussetzung für ein reibungsloses Zusammenwirken dieser beiden Recheneinheiten.

Mit besonderem Vorteil kommt die erfindungsgemäße Datenübergabeeinrichtung in einem solcherart aufgebauten Turbo-Decodierer eines Mobilfunkempfängers zum Einsatz. Erst durch die Ermöglichung eines schnellen Datenaustausches sowie einer gegenseitigen Ablaufsteuerung zwischen dem DSP und der Hardware-Logikschaltung wird eine Decodierung von Turbo-Codes im Bereich des Mobilfunks realisierbar.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels und Varianten desselben unter Bezugnahme auf die Zeichnung erläutert; in dieser zeigt:

Fig. 1 ein Blockschaltbild eines Ausführungsbeispiels der erfindungsgemäßen Datenübergabeeinrichtung;

- Fig. 2A eine schematische Darstellung eines in Speicherblöcke unterteilten Eingabe-Speichers und eines zugehörigen Steuerinformationsspeichers;
- 5 Fig. 2B eine schematische Darstellung eines in Speicherblöcke unterteilten Ausgabe-Speichers und eines zugehörigen Ausgabe-Steuerinformationsspeichers;
- 10 Fig. 3 eine schematische Blockschaltbild-Darstellung eines Turbo-Decodierers für einen Mobilfunkempfänger, in welchem zwei erfindungsgemäße Datenübergabeeinrichtungen zwischen einem digitalen Signalprozessor und einer Hardware-Schaltung eingesetzt sind;
- 15 Fig. 4A eine schematische Darstellung eines Beispiels für eine Speicherbelegung des Eingabe-Steuerinformationsspeichers;
- 20 Fig. 4B eine schematische Darstellung eines Beispiels einer Speicherbelegung des Ausgabe-Steuerinformationsspeichers;
- 25 Fig. 4C eine schematische Darstellung eines weiteren Beispiels einer Speicherbelegung des Eingabe-Steuerinformationsspeichers zur Erläuterung von Speicherzugriffsabläufen; und
- 30 Fig. 4D eine schematische Darstellung eines weiteren Beispiels für eine Speicherbelegung des Ausgabe-Informationsspeichers zur Erläuterung von Speicherzugriffsabläufen.

Nach Fig. 1 umfaßt eine Einrichtung zur bidirektionalen Übergabe von Daten zwischen einer ersten Recheneinheit RE1 und  
35 einer zweiten, mit einem Eingabe-Speicher ES und einem Ausgabe-Speicher AS gekoppelten Recheneinheit RE2 einen DMA-Kanal DMA\_KAN und eine Schnittstelle IF.

Die erste und die zweite Recheneinheit RE1, RE2, der bidirektionale DMA-Kanal DMA\_KAN und die Eingabe- und Ausgabe-Speicher ES, AS können in bekannter Weise ausgeführt sein.

- 5 Beispielsweise kann es sich bei der ersten Recheneinheit RE1 um einen mit Firmware betriebenen DSP und bei der zweiten Recheneinheit RE2 um eine schnelle, "festverdrahtete" Logikschaltung handeln.

- 10 Der DMA-Kanal DMA\_KAN umfaßt eine Steuerung ST, einen Datenvort-Zähler CNT und ein Adreß-Register A\_REG. Die Eingabe- und Ausgabe-Speicher ES und AS weisen jeweils einen Dateneingang DE und einen Datenausgang DA auf und sind in üblicher Weise mit einer Adreß-Ansteuerung AA ausgestattet.

15

Die Schnittstelle IF umfaßt einen Adreß-Decoder AD\_ES für den Eingabe-Speicher, einen Adreß-Decoder AD\_AS für den Ausgabe-Speicher sowie Zwischenspeicher ZS\_E und ZS\_A für die beiden Datentransferrichtungen von RE1 zu RE2 bzw. von RE2 zu RE1.

- 20 Ferner umfaßt die Schnittstelle IF einen dem Eingabe-Speicher ES zugeordneten Eingabe-Steuerinformationsspeicher C\_ES und einen dem Ausgabe-Speicher AS zugeordneten Ausgabe-Steuerinformationsspeicher C\_AS.

25

Fig. 2A zeigt in schematischer Weise den organisatorischen Aufbau des Eingabe-Speichers ES und des zugehörigen Eingabe-Steuerinformationsspeichers C\_ES. Der Eingabe-Speicher ES ist beispielsweise in 10 Speicherblöcke sub\_1, sub\_2, ..., sub\_10 unterteilt. Jeder Speicherblock umfaßt beispielsweise 16 Datenworte einer Wortbreite von 10 Bit.

30

Der Eingabe-Steuerinformationsspeicher C\_ES ist ein Register, das eine der Anzahl der Speicherblöcke in dem Eingabe-Speicher ES entsprechende Anzahl von Binärinformation speichern kann. In dem dargestellten Beispiel ist der Eingabe-Steuerinformationsspeicher C\_ES somit ein 10-Bit-Register. Die Bits

35



des Registers sind in Fig. 2A mit dem Bezugszeichen e\_si\_1, e\_si\_2, ..., e\_si\_10 bezeichnet.

5 Der Aufbau des Ausgabe-Speichers AS (siehe Fig. 2B) entspricht in bezug auf die blockweise Partitionierung dem Aufbau des Eingabe-Speichers ES. Demzufolge weist der Ausgabe-Speicher AS ebenfalls beispielsweise 10 Speicherblöcke sub\_1, sub\_2, ..., sub\_10 auf.

10 Der Ausgabe-Steuerinformationsspeicher C\_AS ist im dargestellten Beispiel ein 10-Bit-Register der Bits e\_so\_1, e\_so\_2, ..., e\_so\_10.

15 Die Speicherblockgröße des Eingabe-Speichers ES (z.B. 16 x 10 Bit) und die Speicherblockgröße des Ausgabe-Speichers AS (z.B. 16 x 12 Bit) können unterschiedlich sein. Darüber hinaus können die beiden Speicher auch eine unterschiedliche Anzahl an Speicherblöcken enthalten.

20 Die Funktionsweise der erfindungsgemäßen Datenübertragungseinrichtung ist wie folgt:

25 Zunächst wird die Datenübertragung von der ersten Recheneinheit RE1 zu der zweiten Recheneinheit RE2 (Eingabeprozedur) beschrieben. Sobald eine Eingabe-Steuerleitung EL von der ersten Recheneinheit RE1 aktiviert wird, kann der DMA-Kanal DMA\_KAN über die Datenleitung DL1, den Zwischenspeicher ZS\_E und die Datenleitung DL2 Daten in den Eingabe-Speicher ES schreiben. Hierzu wird der DMA-Steuerung ST die Zählrichtung und die Anfangsadresse im Eingabe-Speicher ES mitgeteilt. Der Zähler CNT generiert dann die Zieladressen (in ES) für die abzuspeichernden Daten. Da die Daten blockweise übertragen werden, entsprechen die Zieladressen den Adressen eines oder mehrerer Speicherblöcke sub\_1, sub\_2, ..., sub\_10 in dem Eingabe-Speicher ES.

30

35

Die Zieladressen der zu beschreibenden Speicherblöcke werden dem Adreß-Decoder AD\_ES über eine Adressleitung AL1 mitgeteilt. Dieser steht mit dem Eingabe-Steuerinformationsspeicher C\_ES in Verbindung.

5

Beispielsweise sollen die Speicherblöcke sub\_5, sub\_6 und sub\_7 mit neuen Daten überschrieben werden. Der Adreß-Decoder AD\_ES oder eine andere zu diesem Zweck in der Schnittstelle IF vorgesehene Funktionseinheit überprüft, ob die entsprechenden Bits e\_si\_5, e\_si\_6 und e\_si\_7 jeweils den Wert 0 oder 1 aufweisen. Weisen sämtliche Bits den Wert 0 auf, werden die genannten Speicherblöcke mit den neuen Daten überschrieben und die diesen Speicherblöcken zugeordneten Bits e\_si\_5, e\_si\_6 und e\_si\_7 im Eingabe-Steuerinformationsspeicher C\_ES auf den Wert 1 gesetzt. Andernfalls, d.h. sofern nur eines der den zu beschreibenden Speicherblöcken zugeordneten Bits e\_si\_5 oder e\_si\_6 oder e\_si\_7 den Wert 1 aufweist, sind zwei Abläufe möglich: Entweder wird die Datenübertragung (unabhängig von dem Wert des ersten Bits e\_si\_5) z.B. durch Deaktivierung einer DMA-Schreibaufforderung REQ\_W gar nicht erst aufgenommen, d.h. keiner der Speicherblöcke sub\_5, sub\_6 und sub\_7 wird beschrieben. Die betrachteten Speicherblöcke sub\_5, sub\_6, sub\_7 werden dann erst zu einem späteren Zeitpunkt, wenn die genannte Bedingung erfüllt ist, überschrieben. Die zweite, hier bevorzugte Möglichkeit besteht darin, daß, sofern das erste Bit e\_si\_5 den Wert 0 aufweist, der Schreibzugriff zunächst durch Beschreiben des Speicherblocks sub\_5 begonnen und erst mit Erreichen des ersten Speicherblockes, dessen Bit im Eingabe-Steuerinformationsspeicher C\_ES den Wert 1 aufweist, abgebrochen wird.

30

Das Auslesen des Eingabe-Speichers ES durch die zweite Recheneinheit RE2 wird ebenfalls blockweise durchgeführt. Zu diesem Zweck überprüft die zweite Recheneinheit RE2 mit in nicht näher dargestellten Mitteln ebenfalls den Wert derjenigen Bits des Eingabe-Steuerinformationsspeichers C\_ES, die den auszulesenden Speicherblöcken zugeordnet sind. Sofern

35

sämtliche Bits den Wert 1 aufweisen, werden der oder die Speicherblöcke über den Datenausgang DA des Eingabe-Speichers ES ausgelesen. Wenn nur ein einem der auszulesenden Speicherblöcke zugeordnetes Bit des Eingabe-Steuerinformationsspeichers C\_ES den Wert 0 aufweist, wird die Lese-prozedur entweder gar nicht erst aufgenommen oder bei Erreichen des Speicherblocks, dessen Bit den Wert 0 hat, abgebrochen. Da keine neuen Daten bereitstehen, wird die zweite Recheneinheit RE2 danach automatisch oder z.B. über eine Steuerleitung W01 in einen Wartezustand versetzt.

Wenn (nach einem erneuten Schreibzugriff des DMA-Kanals DMA\_KAN) ein erstes oder sämtliche den auszulesenden Speicherblöcken zugeordneten Bits des Eingabe-Steuerinformationsspeichers C\_ES den Wert 1 aufweisen, wird der Wartezustand aufgehoben und die zugehörigen Speicherblöcke des Eingabe-Speichers ES werden von RE2 über den Datenausgang DA ausgelesen.

Unmittelbar nach dem Auslesen eines jeden Speicherblocks sub\_1, sub\_2, ..., sub\_10 des Eingabe-Speichers ES wird das zugehörige Bit e\_si\_1, e\_si\_2, ..., e\_si\_10 des Eingabe-Steuerinformationsspeicher C\_ES auf den Wert 0 zurückgesetzt. Der zugehörige Speicherblock sub\_1, sub\_2, ..., sub\_10 ist damit wieder für das Einschreiben von Daten der ersten Recheneinheit RE1 freigegeben.

Die Datenübergabe in entgegengesetzter Richtung erfolgt in analoger Weise. Z.B. über eine Ausgabe-Steuerleitung AL teilt die erste Recheneinheit RE1 dem DMA-Kanal DMA\_KAN eine Lese-Aufforderung betreffend einen oder mehrere Speicherblöcke (z.B. sub\_5, sub\_6, sub\_7) des Ausgabe-Speichers AS mit. Der DMA-Kanal DMA\_KAN erzeugt in der bereits beschriebenen Weise die entsprechenden Datenwort- bzw. Speicherblock-Adressen. Diese werden dem Adreß-Decoder AD\_AS für den Ausgabe-Speicher AS über eine Adressleitung AL2 mitgeteilt. Der Adreß-Decoder AD\_AS oder eine andere Einheit in der Schnittstelle IF über-

prüft, ob die zugehörigen Bits des Ausgabe-Steuerinformationsspeichers C\_AS (nämlich e\_so\_5, e\_so\_6, e\_so\_7, siehe Fig. 2B) den Wert 1 aufweisen. Ist dies der Fall, wird der DMA-Kanal DMA\_KAN z.B. über Aktivierung einer DMA-Leseaufforderung REQ\_R aktiviert und die Daten der genannten Speicherblöcke werden über eine Datenleitung DL3, den Zwischenspeicher ZS\_A und eine Datenleitung DL4 ausgelesen. Nach Auslesen eines jeden Speicherblocks wird das dem Speicherblock zugeordnete Bit in dem Ausgabe-Steuerinformationsspeicher C\_AS auf den Wert 0 zurückgesetzt.

Sofern eines der den auszulesenden Speicherblöcken sub\_5, sub\_6, sub\_7 zugeordneten Register-Bits e\_so\_5, e\_so\_6, e\_so\_7 den Wert 0 aufweist, wird (gemäß einer der beiden bereits in Hinblick auf die Eingabe-Prozedur beschriebenen Möglichkeiten) entweder nur dieser Speicherblock oder es werden sämtliche von der Lese-Aufforderung betroffenen Speicherblöcke nicht ausgelesen. Die Recheneinheit RE1 wird dann selbsttätig oder z.B. über eine Leitung W02 in einen Wartezustand versetzt, bis das entsprechende Bit den Wert 1 aufweist, d.h. der zugehörige Speicherblock und damit ggf. auch folgende Speicherblöcke ausgelesen werden können.

Um das Überschreiben von noch nicht ausgelesenen Speicherblöcken sub\_1, sub\_2, ..., sub\_10 des Ausgabe-Speichers AS durch die zweite Recheneinheit RE2 auszuschließen, kann jeder Speicherblock des Ausgabe-Speichers AS nur dann beschrieben werden, wenn das zugehörige Bit des Ausgabe-Steuerinformationsspeichers C\_AS den Wert 0 aufweist. Sobald ein Speicherblock sub\_1, sub\_2, ..., sub\_10 des Ausgabe-Speichers AS mit neuen Daten beschrieben ist, wird das zugehörige Bit des Ausgabe-Steuerinformationsspeichers C\_AS auf den Wert 1 gesetzt. Der Speicherblock ist nun für einen Auslese-Zugriff freigegeben.

35

Fig. 3 zeigt ein Anwendungsbeispiel einer erfindungsgemäßen Datenübergabeeinrichtung in einem Turbo-Decodierer TDEC eines

Mobilfunkempfängers. Der Turbo-Decodierer TDEC hat die Aufgabe, ein senderseitig mit einem Turbo-Code fehlerschutzcodiertes und über einen gestörten Kanal (Luftschnittstelle) übertragenes Funksignal zu decodieren. Funktionselemente des Turbo-Decodierers TDEC, die den in Fig. 1 dargestellten Elementen entsprechen, sind teilweise mit den gleichen Bezugszeichen wie in Fig. 1 versehen.

Die Erzeugung eines Turbo-Codes und Algorithmen für dessen Decodierung sind bekannt und beispielsweise in dem Buch "Analyse und Entwurf digitaler Mobilfunksysteme" von P. Jung, Stuttgart, B.G. Teubner, 1997, auf den Seiten 343 bis 368 beschrieben. Auf sie wird im folgenden nicht näher eingegangen. Generell kann jedoch gesagt werden, daß die Decodierung eines Turbo-Codes im Vergleich zu einem herkömmlichen Code einen ausgesprochen hohen Rechenaufwand erfordert und in einem Mobilfunkempfänger mit begrenzten Energieresourcen aus diesem Grunde bisher nicht realisierbar war.

Der in Fig. 3 dargestellte Turbo-Decodierer TDEC umfaßt einen MAP-(Maximum a-Posteriori-)Decodierer MAP\_DEC, welcher ein Symbolschätzer ist, und mit dem Eingabe-Speicher ES und dem Ausgabe-Speicher AS ausgerüstet ist. Der MAP-Decodierer MAP\_DEC entspricht der Recheneinheit RE2 in Fig. 1. Anstelle des MAP-Decodierers MAP\_DEC kann z.B. auch ein Viterbi-Decodierer vorgesehen sein.

Der MAP-Decodierer MAP\_DEC ist über einen bidirektionalen Bus DB mit der Schnittstelle IF verbunden. Die Schnittstelle IF steht über zwei programmierbare DMA-Kanäle DMA\_KAN1 und DMA\_KAN2 mit einem DSP (entspricht der ersten Recheneinheit RE1) in Datenaustauschverbindung. Jeder der beiden DMA-Kanäle DMA\_KAN1 und DMA\_KAN2 ist wie der in Fig. 1 dargestellte DMA-Kanal aufgebaut, jedoch nur für eine Datentransferrichtung ausgelegt. Der Datenaustausch zwischen dem DSP und den DMA-Kanälen DMA\_KAN1/2 wird über eine interne DSP-Schnittstelle IFD und Datenleitungen DD bewerkstelligt. Adreß- und Steuer-

Daten werden über ein in Fig. 3 mit den Bezugszeichen DA und SL gekennzeichnetes Bussystem zwischen den DMA-Kanälen DMA\_KAN1/2 und dem DSP ausgetauscht. Der DSP hat ferner über die interne Schnittstelle IFD Zugriff auf einen Speicher

5 APR\_RAM, in welchem temporär Daten abgelegt werden, die über die beiden DMA-Kanäle DMA\_KAN1/2 zwischen dem DSP und dem MAP-Decodierer MAP\_DEC ausgetauscht werden.

Die Arbeitsweise des Turbo-Decodierers TDEC ist folgendermaßen. Der DSP nimmt ein von dem Mobilfunkempfänger detektiertes und demoduliertes Datensignal D in Form einer endlichen Folge aus Datensymbolen (z.B. Bits) entgegen. Die Datensymbolfolge D enthält die zu decodierenden Nutzdaten und Redundanzdaten, die bei der senderseitigen Turbo-Codierung den

15 Nutzdaten hinzugefügt wurden. Die Aufgabe des Turbo-Decodierers TDEC besteht darin, die senderseitig codierte Nutzinformation mit möglichst hoher Erfolgsquote (d.h. geringer Bit-Fehlerrate) zu rekonstruieren. Zu diesem Zweck werden im wesentlichen drei Datenverarbeitungsschritte benötigt, nämlich eine statistische Aufbereitung der Daten (zur Berücksichtigung der erlittenen Funkübertragungs-Kanalstörungen), eine Ver- und Entschachtelung der Daten und einen Berechnungsschritt für die (näherungsweise) Schätzung der Werte der einzelnen Datensymbole (Symbolschätzung).

25 Die genannten Schritte müssen mehrfach wiederholt ausgeführt werden, um zuverlässige Schätzwerte für die zu ermittelnden Datensymbole zu bestimmen. Die Verfeinerung der Schätzwerte erfolgt im Rahmen des Iterationsprozesses. Eine Iterations-

30 schleife umfaßt:

- eine erste Symbolschätzung auf der Basis eines ersten Teils von Redundanzdaten (in MAP\_DEC)
- eine Verschachtelung der erzeugten ersten Schätzdaten (im DSP)
- 35 - eine statistische Aufbereitung der verschachtelten Daten (im DSP)

- eine zweite Symbolschätzung der statistisch aufbereiteten Daten mit einem zweiten Teil von Redundanzinformation (in MAP\_DEC)
- eine Entschachtelung der erzeugten zweiten Schätzdaten (in DSP), und
- eine statistische Aufbereitung der entschachtelten Daten (in DSP).

Die beim Durchlaufen einer Iterationsschleife erzeugten entschachtelten zweiten Schätzdaten werden bei dem folgenden Iterationsdurchlauf als Rückkoppel-Information verwendet und beim ersten Symbolschätzschritt berücksichtigt.

Nach einer vorgegebenen Anzahl von Iterationsdurchläufen (beispielsweise 5) werden die zweiten Schätzdaten als Ausgangssignal U von dem DSP ausgegeben. Das erläuterte Iterationsverfahren ist bekannt und z.B. in dem genannten Buch von P. Jung beschrieben.

Gemäß der vorhergehenden Beschreibung müssen bei der hier vorgeschlagenen Aufteilung der Berechnungsschritte auf den DSP und den MAP-Decodierer MAP\_DEC innerhalb einer Iterationsschleife vier Datenübergaben zwischen dem DSP und dem MAP-Decodierer MAP\_DEC erfolgen. Der Datentransfer vom DSP zu dem MAP-Decodierer MAP\_DEC wird über den ersten DMA-Kanal DMA\_KAN1 abgewickelt und der Datentransfer vom MAP-Decodierer MAP\_DEC zu dem DSP wird über den zweiten DMA-Kanal DMA\_KAN2 abgewickelt.

Fig. 4A zeigt eine mögliche Belegung des Eingabe-Steuerinformationsspeichers C\_ES bezüglich des DMA-Kanals DMA\_KAN1 während der iterativen Turbo-Decodierung. Die den im Registerbereich Y liegenden Steuerinformationsbits zugeordneten Speicherblöcke des Eingabe-Speichers ES wurden von dem DMA-Kanal DMA\_KAN1 mit neuen Daten (vom DSP) beschrieben und zur Prozessierung für den MAP-Decodierer MAP\_DEC bereitgestellt. Die den in den Registerbereichen X liegenden Steuerinformations-

bits zugeordneten Speicherblöcke des Eingabe-Speichers ES sind von dem MAP-Decodierer MAP\_DEC entweder bereits ausgelesen worden oder von dem DMA-Kanal DMA\_KAN1 noch nicht beschrieben worden.

5

Fig. 4B zeigt eine mögliche Belegung des Ausgabe-Steuerinformationsspeichers C\_AS im Zusammenhang mit dem Datentransfer über den DMA-Kanal DMA\_KAN1. Die den Steuerinformationsbits in den Registerbereichen Y zugeordneten Speicherblöcke des Ausgabe-Speichers AS sind Ausgabewerte des MAP-Decodierers MAP\_DEC, die zum Abruf über den DMA-Kanal DMA\_KAN2 bereitstehen. Speicherblöcke des Ausgabe-Speichers AS, die den Steuerinformationsbits im Registerbereich X zugeordnet sind, wurden entweder bereits von dem DMA-Kanal DMA\_KAN2 ausgelesen oder wurden von dem MAP-Decodierer MAP\_DEC noch nicht berechnet und in den Ausgabe-Speicher AS geschrieben.

10

15

20

25

30

35

Die Fig. 4C und 4D zeigen weitere Beispiele für die Belegung der Eingabe- und Ausgabe-Steuerinformationsspeicher für einen der DMA-Kanäle DMA\_KAN1/2 zur Erläuterung von Speicherzugriffsabläufen im Falle der Verwendung von zyklischen Eingabe- und Ausgabe-Speichern ES, AS. Bei zyklischen Speichern erfolgen Lese- und Schreib-Zugriffe immer in aufsteigender oder abfallender Speicherblock-Reihenfolge, wobei in Richtung aufsteigender Speicherblöcke nach Erreichen des letzten Speicherblocks sub\_10 automatisch der Speicherblock sub\_1 als nächster Speicherblock gelesen bzw. beschrieben wird und in Richtung abfallender Speicherblöcke nach Erreichen des ersten Speicherblocks sub\_1 automatisch der Speicherblock sub\_10 als nächster Speicherblock beschrieben bzw. ausgelesen wird. Die in dem Turbo-Decodierer TDEC eingesetzten Eingabe- und Ausgabe-Speicher ES, AS sind vorzugsweise solche zyklischen Speicher, da im Rahmen der Symbolschätzungen Vorwärtsrekursions- und Rückwärtsrekursionsläufe über mehrere benachbarte Datenblöcke zur Berechnung von Vorwärts- und Rückwärtsrekursionsmetrikwerten durchzuführen sind.



Gemäß Fig. 4C (Eingabe-Steuerinformationsspeicher C\_ES) sind die Speicherblöcke sub\_1 und sub\_7 bis sub\_10 zur Abarbeitung in dem MAP-Decodierer MAP\_DEC bereit. Dabei soll sich eine Vorwärtsrekursion stets nur über einen einzigen, nämlich den

5 i-ten Speicherblock erstrecken, während sich eine Rückwärtsrekursion ausgehend von dem i+4-ten Speicherblock zurücklaufend bis auf den i-ten Speicherblock, d.h. über 5 Speicherblöcke, erstrecken soll.

10 Z.B. wird bei einer ersten Vorwärtsrekursion auf den dem Registerbereich YV zugeordneten Speicherblockbereich (d.h. den Speicherblock sub\_7) zugegriffen. Da e\_si\_7 den Wert 1 hat, ist der Zugriff erfolgreich. Bei der anschließenden Rückwärtsrekursion sind die Speicherblöcke sub\_1, sub\_10, sub\_9,

15 sub\_8 und sub\_7 betroffen. Da sämtliche zugehörigen Steuerinformationsbits den Wert 1 aufweisen, ist auch der Zugriff im Rahmen der Rückwärtsrekursion erfolgreich.

Im nächsten Rekursionsschritt (nicht dargestellt) soll bei

20 der Vorwärtsrekursion auf den Speicherblock sub\_8 und bei der Rückwärtsrekursion auf die Speicherblöcke sub\_2, sub\_1, sub\_10, sub\_9 und sub\_8 des Eingabe-Speichers ES zugegriffen werden. Während der Zugriff bei der Vorwärtsrekursion erfolgreich ist (da e\_si\_8 = 1), ist der Zugriff im Rahmen der

25 Rückwärtsrekursion nicht erfolgreich, da e\_si\_2 = 0.

Folglich kann diese Rückwärtsrekursion nicht durchgeführt werden und der MAP-Decodierer MAP\_DEC wird solange in einen Wartezustand versetzt, bis das Steuerinformationsbit e\_si\_2

30 auf den Wert 1 gesetzt wird.

Bei dem vorstehend beschriebenen Beispiel müssen die einzelnen Speicherblöcke sub\_1, sub\_2, ..., sub\_10 aufgrund der Durchführung von Vorwärts- und Rückwärtsrekursionen mehrfach

35 auslesbar sein. Demzufolge werden die Eingabe-Steuerinformationsbits e\_si\_1, e\_si\_2, ..., e\_si\_10 nicht bereits nach dem erstmaligen Auslesen des jeweiligen Speicherblocks, son-

dern erst nach Abarbeitung sämtlicher Vorwärts- und Rückwärtsrekursionen einer Metrikwerte-Berechnungsroutine auf den Wert 0 zurückgesetzt.

- 5 Das in Fig. 4D gezeigte Beispiel einer Speicherbelegung des Ausgabe-Steuerinformationsspeichers C\_ES macht deutlich, daß der Schreib-Zugriff des MAP-Decodierers auf den Ausgabe-Speicher AS nicht mehr als 9 Speicherblöcke Vorsprung vor dem Auslese-Prozeß durch den DMA-Kanal DMA\_KAN2 haben darf. Der Speicherblock sub\_8 sei der nächste Speicherblock, der von dem DMA-Kanal DMA\_KAN2 ausgelesen werden soll (was wegen e\_so\_8 = 1 möglich ist). Solange dies nicht geschehen ist, kann der MAP-Decodierer MAP\_DEC zwar noch den Speicherblock sub\_7, nicht jedoch den (noch ungelesenen) Speicherblock sub\_8 mit neuen Daten beschreiben. Das heißt, daß der MAP-Decodierer MAP\_DEC nach dem Beschreiben des Speicherblocks sub\_7 in den Wartezustand versetzt wird.

- 20 Bei der in Fig. 4D dargestellten Speicherbelegung können die dem Registerbereich YV zugeordneten 9 Speicherblöcke sub\_8 bis sub\_10 sowie sub\_1 bis sub\_6 von dem DMA-Kanal DMA\_KAN2 ausgelesen werden.

25 In entsprechender Weise ist bezüglich des Eingabe-Speichers ES sicherzustellen, daß das Einschreiben von Daten über den DMA-Kanal DMA\_KAN1 mit einem Vorsprung von maximal 9 Speicherblöcken vor dem Auslesen der Speicherblöcke durch den MAP-Decodierer MAP\_DEC erfolgt.

## Patentansprüche

1. Einrichtung zur bidirektionalen Übergabe von Daten zwischen einer ersten und einer zweiten Recheneinheit (RE1, RE2), wobei der zweiten Recheneinheit (RE2) ein mehrere Speicherblöcke umfassender Eingabe-Speicher (ES) zur Entgegennahme von Ausgabedaten der ersten Recheneinheit (RE1) und ein mehrere Speicherblöcke (sub\_1-10) umfassender Ausgabe-Speicher (AS) zur Bereitstellung von Eingabedaten für die erste Recheneinheit (RE1) zugeordnet sind, mit

- einem Eingabe-Steuerinformationsspeicher (C\_ES) zur Speicherung einer binären Steuerinformation (e\_si\_1-10) für jeden Speicherblock (sub\_1-10) des Eingabe-Speichers (ES),
- einem Ausgabe-Steuerinformationsspeicher (C\_AS) zur Speicherung einer binären Steuerinformation (e\_so\_1-10) für jeden Speicherblock (sub\_1-10) des Ausgabe-Speichers (AS),
- wenigstens einem DMA-Kanal (DMA\_KAN) zum Schreiben der Ausgabedaten der ersten Recheneinheit (RE1) in den Eingabe-Speicher (ES) und zum Auslesen der Eingabedaten für die erste Recheneinheit (RE1) aus dem Ausgabe-Speicher (AS), wobei

der Zugriff auf die Eingabe- und Ausgabe-Speicher (ES, AS) derart geregelt ist,

- daß der Schreibzugriff der ersten Recheneinheit (RE1) und der Lesezugriff der zweiten Recheneinheit (RE2) auf den Eingabe-Speicher (ES) in Abhängigkeit von der in dem Eingabe-Steuerinformationsspeicher (C\_ES) abgelegten Steuerinformation erlaubt oder verboten wird, und
- daß der Schreibzugriff der zweiten Recheneinheit (RE2) und der Lesezugriff der ersten Recheneinheit (RE1) auf den Ausgabe-Speicher (AS) in Abhängigkeit von der in dem Ausgabe-Steuerinformationsspeicher (C\_AS) abgelegten Steuerinformation erlaubt oder verboten wird.

2. Einrichtung nach Anspruch 1,  
dadurch gekennzeichnet,

- daß ein Schreibzugriff der ersten Recheneinheit (RE1) auf einen Speicherblock des Eingabe-Speichers (ES) nur dann erlaubt ist, wenn sich die binäre Steuerinformation zu diesem Speicherblock in einem ersten Zustand befindet.

5

3. Einrichtung nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t,

- daß ein Lesezugriff der zweiten Recheneinheit (RE2) auf einen Speicherblock des Eingabe-Speichers (ES) nur dann erlaubt ist, wenn sich die binäre Steuerinformation zu diesem Speicherblock in dem zweiten Zustand befindet.

10

4. Einrichtung nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß ein Lesezugriff der ersten Recheneinheit (RE1) auf einen Speicherblock des Ausgabe-Speichers (AS) nur dann erlaubt ist, wenn sich die binäre Steuerinformation zu diesem Speicherblock in einem ersten Zustand befindet.

15

20 5. Einrichtung nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß ein Schreibzugriff der zweiten Recheneinheit (RE2) auf einen Speicherblock des Ausgabe-Speichers (AS) nur dann erlaubt ist, wenn sich die binäre Steuerinformation zu diesem Speicherblock in dem zweiten Zustand befindet.

20

25

6. Einrichtung nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß bei unterschiedlicher Speichergröße des Ausgabe-Speichers (AS) und des Eingabe-Speichers (ES) die Anzahl der Speicherblöcke in beiden Speichern identisch ist.

30

7. Einrichtung nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, daß

- daß der Eingabe- und/oder Ausgabe-Speicher (ES, AS) zyklische Speicher sind.

35

8. Einrichtung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,

- daß die erste Recheneinheit (RE1) ein digitaler Signalprozessor und die zweite Recheneinheit (RE2) eine Hardware-Logikschaltung sind.

9. Turbo-Decodierer für einen Mobilfunkempfänger, enthaltend eine oder mehrere Einrichtungen nach Anspruch 8.

- 10 10. Verfahren zur bidirektionalen Übergabe von Daten zwischen einer ersten und einer zweiten Recheneinheit, wobei der zweiten Recheneinheit (RE2) ein mehrere Speicherblöcke (sub\_1-10) umfassender Eingabe-Speicher (ES) zur Entgegennahme von Ausgabedaten der ersten Recheneinheit (RE1) und ein mehrere
- 15 Speicherblöcke (sub\_1-10) umfassender Ausgabe-Speicher (AS) zur Bereitstellung von Eingabedaten für die erste Recheneinheit (RE1) zugeordnet sind, und wobei eine binäre Steuerinformation (e\_si\_1-10) für jeden Speicherblock des Eingabe-Speichers (ES) in einem Eingabe-Steuerinformationsspeicher
- 20 (C\_ES) speicherbar und eine binäre Steuerinformation (e\_so\_1-10) für jeden Speicherblock des Ausgabe-Speichers (AS) in einem Ausgabe-Steuerinformationsspeicher (C\_AS) speicherbar sind, bei dem
- in Abhängigkeit von der in dem Eingabe-Steuerinformationsspeicher (C\_ES) abgelegten Steuerinformation (e\_si\_1-10) ein über einen DMA-Kanal (DMA\_KAN) erfolgreicher Schreibzugriff der ersten Recheneinheit (RE1) und ein Lesezugriff der zweiten Recheneinheit (RE2) auf den Eingabe-Speicher (ES) erlaubt oder verboten wird, und
  - 25 - in Abhängigkeit von der in dem Ausgabe-Steuerinformationsspeicher (C\_AS) abgelegten Steuerinformation (e\_so\_1-10) ein Schreibzugriff der zweiten Recheneinheit (RE2) und ein über einen DMA-Kanal (DMA\_KAN) erfolgreicher Lesezugriff der ersten Recheneinheit (RE1) auf den Ausgabe-Speicher (AS)
  - 30 erlaubt oder verboten wird.
- 35

## Zusammenfassung

Einrichtung und Verfahren zur Datenübergabe zwischen zwei Recheneinheiten

Eine Einrichtung zur bidirektionalen Übergabe von Daten zwischen zwei Recheneinheiten RE1, RE2 umfaßt Eingabe- und Ausgabe-Steuerinformationsspeicher C\_ES, C\_AS zur Speicherung einer binären Steuerinformation für Eingabe- und Ausgabe-Speicher ES, AS. Auf die Speicher ES, AS können die zweite Recheneinheit RE2 und über einen DMA-Kanal DMA\_KAN die erste Recheneinheit RE1 zugreifen. Die Zugriffe beider Recheneinheiten RE1/2 auf diese Speicher ES, AS werden in Abhängigkeit von dem Inhalt der Eingabe- und Ausgabe-Steuerinformationsspeicher C\_ES, C\_AS koordiniert.

(Fig. 1)

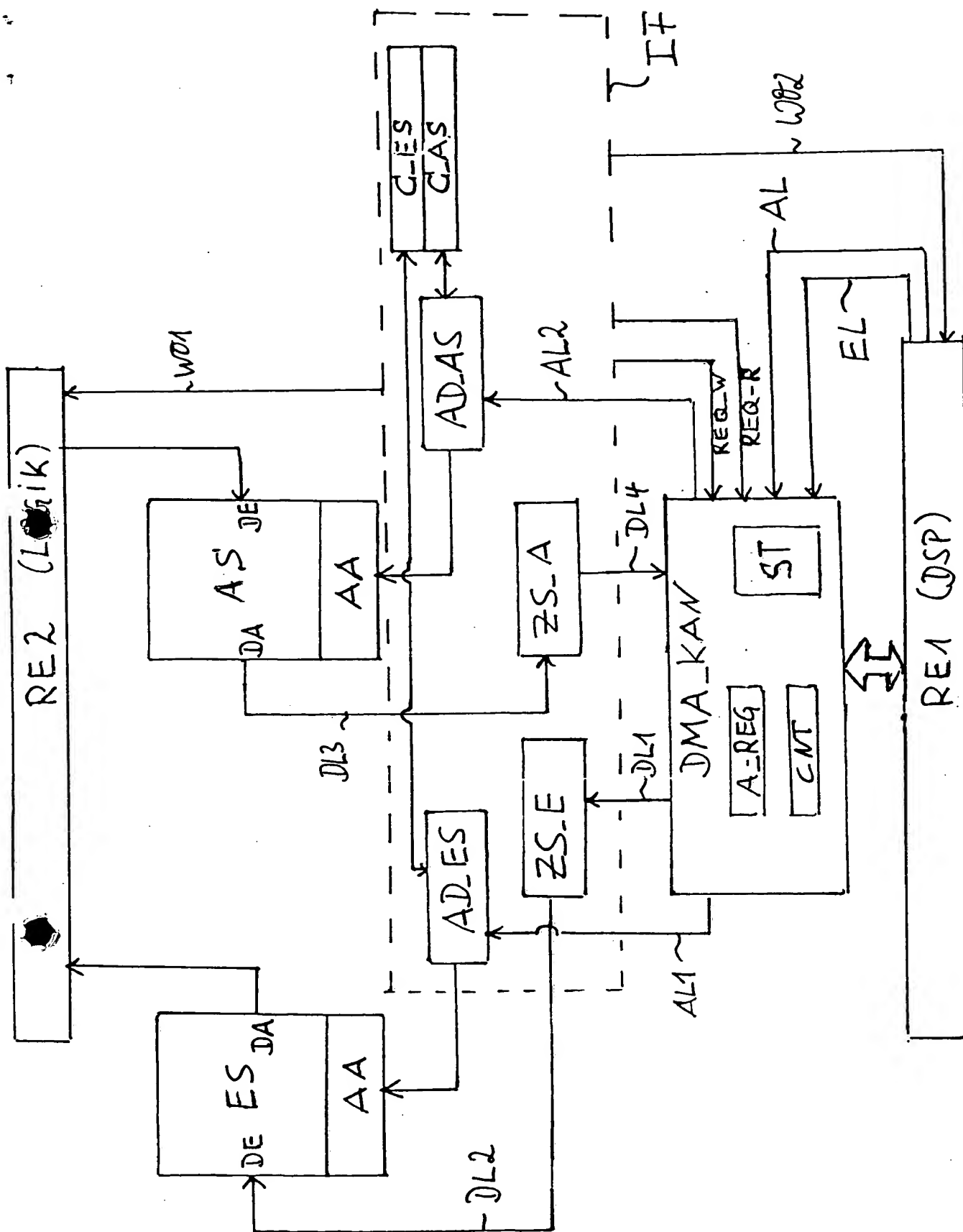


Fig. 1

AS

sub_1	sub_2	sub_3	sub_4	sub_5	sub_6	sub_7	sub_8	sub_9	sub_10
16 x 12 Bit									

C-AS

e_so _1	e_so _2	e_so _3	e_so _4	e_so _5	e_so _6	e_so _7	e_so _8	e_so _9	e_so _10

Fig. 2B

ES

sub_1	sub_2	sub_3	sub_4	sub_5	sub_6	sub_7	sub_8	sub_9	sub_10
16 x 10 Bit									

C-ES

e_si _1	e_si _2	e_si _3	e_si _4	e_si _5	e_si _6	e_si _7	e_si _8	e_si _9	e_si _10

Fig. 2A



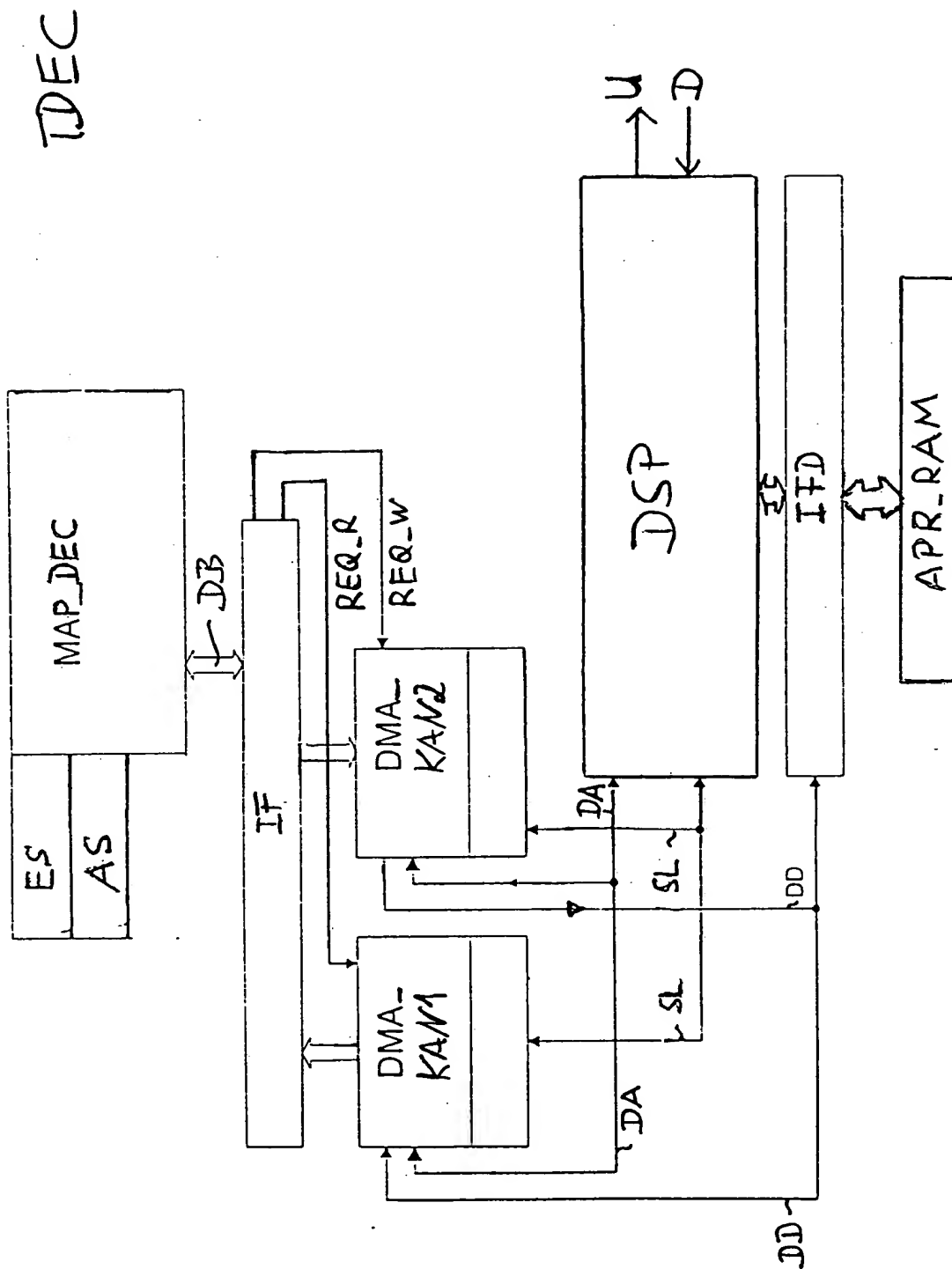


Fig. 3

C\_ES

e\_si\_0

← Y →

e\_si\_10

0	0	0	1	1	1	1	1	0	0
---	---	---	---	---	---	---	---	---	---

← X →

← X →

Fig. 4A

C\_AS

← Y →  
e\_so\_1

← X →  
e\_so\_10

1	1	0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---

← X →

Fig. 4B

C\_ES

e\_si\_1

e\_si\_2

YV

e\_si\_7

e\_si\_8

e\_si\_10

1	0	0	0	0	0	1	1	1	1
---	---	---	---	---	---	---	---	---	---

← YR →

← YR →

Fig. 4C

C\_AS

e\_si\_1

e\_so\_7

e\_so\_8

e\_so\_10

1	1	1	1	1	1	0	1	1	1
---	---	---	---	---	---	---	---	---	---

YV

YV

Fig. 4D